

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-184434

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

G09G 3/36
G02F 1/13
G02F 1/133
G09G 3/20
G09G 3/20
G09G 3/20

(21)Application number : 09-351024

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.12.1997

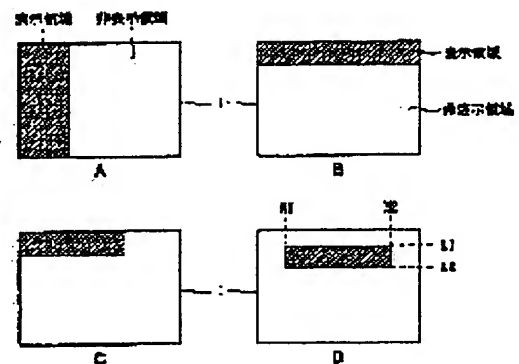
(72)Inventor : YAMAZAKI TAKU

(54) LIQUID CRYSTAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To set freely a partial display area to a certain extent for a device user in a liquid crystal display device having a function making only a partial part of a screen a display state and making a remaining part a non-display state.

SOLUTION: When an area to be partially displayed is made the surrounded area from L1-th row to L2-th row and from M1-th column to M2-th column of a liquid crystal display panel 1, a register is provided in a control circuit, and values corresponding to L1, L2, M1, M2 are made to be written in beforehand to be partially displayed according to the values written therein.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
11-184434/1999 (Tokukaihei 11-184434) (Published on
July 9, 1999)

(A) Relevance to claims

The following is a translation of passages related to claims
1 and 16 of the present invention.

(B) Translation of the relevant passages

[Embodiments]

[0038]

(Embodiment 2)

Referring to Figs. 5 and 6, an example of the method
of realizing the partial displaying illustrated in Fig. 1B
will be described below. Fig. 5 is a circuit diagram
illustrating a part of an LCD controller included in a
liquid crystal display device, i.e. a circuit block for
controlling the partial displaying in the row direction. Also,
Fig. 6 is a timing chart indicating the operation of the
circuit illustrated in Fig. 5. A display panel is composed of
200 rows and driven by a row-sequential method so that
the drive is carried out row by row, and only the first row
to 32nd row are driven on the occasion of the partial

displaying. In Fig. 6, parts A and B correspond to a liquid crystal display device of simple matrix and a liquid crystal display device of active matrix, respectively.

[0039]

A member 11 is a register of around 8 bits, in which information of whether or not the partial displaying in the row direction is carried out and information of the number of rows for the partial displaying are set. Provided that the number of rows is set in 7 bits, partial displaying until $2^7 = 128$ th row can be arranged row by row, in the case of a panel of row-sequential drive in which the drive is carried out row by row, and partial displaying until $2^7 \times 4 = 512$ th row can be carried out in increments of 4 rows, in the case of a panel of 4 rows simultaneous select drive.

[0040]

A member 12 is a circuit block centered on a counter, in which timing signals PDY and CNT3 for controlling the partial displaying in the row direction are generated in accordance with timing signals such as a scanning start signal FRM and a scanning signal transfer clock CLYI and the setting values of the register 11. The signals FRM and CLYI have respective timings as illustrated in Fig. 6. The timing signal CLYI is a signal which turns to be a scanning signal transfer clock on occasions when the

partial displaying is not carried out. The signal CLY is a scanning signal transfer clock supplied from the LCD controller to a Y driver, and is an AND output of the signal CNT3 and the signal CLYI, produced by an AND gate 13.

[0041]

Generally speaking, the Y driver has an arrangement of limited input so that the output of a select voltage is prohibited. The signal PDY corresponds to such limited input of the Y driver, so that the output of the select voltage is prohibited on the occasion of L-level and hence all of the outputs from the Y driver turn to be the non-select voltage level.

[0042]

t2 in Fig. 6 indicates a time at which non-partial displaying turns to be partial displaying. More precisely, the process for the partial displaying starts from t2. A frame period immediately after t2 is F1, and a frame period subsequent to the frame period F1 is F2.

[0043]

Before t2, the signal CNT3 is steadily in H-level, so that the AND gate 13 remains open on this occasion and a signal supplied to the signal CLYI is supplied to the signal CLY without change. Before t2, the signal PDY is also

steadily in H-level, so that the outputs of the Y driver sequentially output the select voltage and thus the whole screen is in the state of displaying. On the occasion of partial displaying, the signal CLY corresponding to 33rd row through 200th row for non-displaying is stopped, and for preventing the Y driver to output the select voltage, the signals CNT3 and PDY are arranged so as to be signals having respective timings illustrated in Fig. 6.

[0044]

Even on the occasion of partial displaying, the cycle of the signal CLY remains unchanged, and hence the period of applying the select voltage to scanning electrodes in the area of displaying is identical with the period in the case of displaying on the whole screen. It is also unnecessary to change the bias ratio and the select voltage.

[0045]

When the display panel is an active matrix type, the voltage of a pixel section is kept during the period of non-selection so that it is necessary to write an OFF-voltage into the pixels of non-displaying rows, on the occasion of shifting to the partial displaying. In the figure, what is symbolized by VCT is a signal voltage control signal, and when the signal VCT is in L-level, the signal

voltage written into the pixels is more or less 0V. For instance, in the case of a TFT panel, writing a voltage equivalent to a common potential makes it possible to cause the voltage written into the pixels to be more or less 0V. In the case of an active matrix type, for not stopping the application of the signal CLY and the select voltage, the signals CNT3 and PDY are set so as to be H-level during the frame period F1, a voltage more or less 0V is written into the pixels when the non-displaying rows are selected, and from the frame period F2, the signal CLY corresponding to the non-displaying part is stopped and the output of the select voltage from the Y driver is suspended. In the case of a simple matrix type, identical timing signals are repeated from the frame t2.

[0046]

With the foregoing method, as illustrated in Fig. 1B, it is possible to carry out the partial displaying in which the display area and the non-display area are divided in the direction of scanning electrodes. In the present embodiment, the size of the area of partial displaying corresponds to the value which is set in the register, so that the size can be changed in increments of one row on the occasion of the row-sequential drive, or in increments of rows which are simultaneously selected, on the

occasion of multiple rows simultaneous select drive.

[0047]

Incidentally, it is possible to carry out the partial displaying by stopping the application of the select voltage, without stopping the signal CLY corresponding to the areas of non-displaying. However, it is preferable to stop the signal CLY as in the present embodiment, in order to reduce the power consumption. When the signal CLY on the occasion of partial displaying is stopped using a Y driver whose interior is not reset by the signal FRM, it is preferable to stop the application of the select voltage for one frame, in order to avoid abnormal displaying on the occasion of shifting from partial displaying to whole screen displaying.

(51)Int.Cl. ^a	識別記号	P I	請求項の範囲	優先権の主張	出願の国
G 0 9 G 3/36	5 0 5	G 0 9 G 3/36			
G 0 2 F 1/13	5 0 5	G 0 2 F 1/13	5 0 5		
1/133	5 0 5	1/133	5 0 5		
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A		
	6 2 1		6 2 1 E		

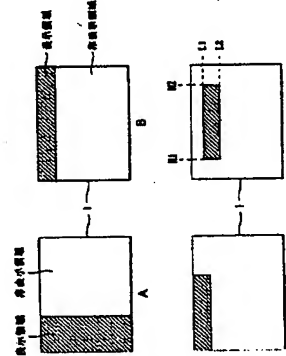
(21) 出願番号 特願平9-351024
(22) 出願日 平成9年(1997)12月19日

(54)【発明の名称】 液晶装置及び電子機器

(57)【要約】

【課題】画面の一部だけを表示状態とし、残りの部分を非表示状態にすることができる機能を有した液晶表示装置において、装置使用者が部分表示領域をある程度自由に設定できるようにする。

【解決手段】部分表示させない領域を液晶表示パネル1の1行目から12行目までかつM1列目からM2列目までの間まれた領域とする時、制御回路にレジスタを設けて1、12、M1、M2に対応する値を書き込めるようにしておき、そこに書き込まれた値に従って部分表示させる。



(2)

開平11-184434

【特許請求の範囲】

【請求項1】一部の領域を表示状態とし、他の領域を非表示状態とする機能を有した液晶装置であって、表示領域あるいは非表示領域の位置を制御回路のレジスタにより可変させたことを特徴とする液晶装置。

【請求項2】請求項1の液晶装置において、表示領域と非表示領域の区分が信号電圧によって区分される方向で、非表示領域の番号電圧の印加電圧を表示がオフとなる電圧に固定する手段と、非表示領域に対応する手段と、表示データの駆込を停止させる手段とを備えたことを特徴とする液晶装置。

【請求項3】請求項1の液晶装置において、表示領域と非表示領域の区分が走査電極によって区分される行方向であって、全行に表示する場合と一部分の行に表示する場合とで表示領域の走査電極に選択電圧を印加する時間が同じであることを特徴とする液晶装置。

【請求項4】請求項3の液晶装置において、表示パネルには画素電極がマトリックス状に形成され画素部を形成しており、前記画素電極にスライディング素子が形成されており、非表示領域にある行の画素部の液晶への印加電圧をほぼ0Vに書き込む手段を備えていることを特徴とする液晶装置。

【請求項5】前記液晶装置を搭載したことを特徴とする電子機器。

【發明の詳述の説明】

【0001】

【発明に属する技術分野】本発明は一部の領域だけを表示状態とし、他の領域を非表示状態にすることができる、機能をもった液晶装置に関する。

[0002]

【従来の技術】携帯電話等の携帯電子機器に用いられて
る表示装置は、より多くの情報が表示できるように表示
ドット数が年々増加して来ており、それに伴って表示装
置による消費電力が増大して来ている。携帯電話等の装
置は電池であるため電池寿命が長くなるように低消費
電力であることが強く求められてはいる。また、表示ドット
数が多い表示装置には必要最小限の電力が出来るように
し、通常表示は必要最小限の電力で表示出来るように
表示パネルの一部の領域だけを表示状態とし、他の領域
を非表示状態にして消費電力を低減する方法が検討され

【0003】従来の液晶表示装置においては全面の表示・非表示1/割割である機能を持つものが多い。画面にある領域で表示状態と、他の領域で非表示状態とにする機能を持つというまだ実用化されていない、こうした機能を現行する方として、は開平6-955211の実例1及び開平7-281632が提案されている。これらの提案を2つとして拡張表示パネルが単純で、トリックアップ方式の2分について

【0004】図7. 図8を用いて待機平6-95621

の発明例を以下に説明する。図7はこの発明例の液晶表示装置のブロック図である。ブロック51は液晶表示パネルであり、複数の定電圧電圧を形成して表示し複数の信号電圧を形成した基板とが重なり、電圧の異なる回路を有し、その回路には液晶が封入されている。ブロック55は走査電圧を駆動するYドライバであり、ブロック54は信号電圧を駆動するXドライバである。液晶の駆動に必要とされる電圧レベルは、XドライバとYドライバを組合し、必要とされた電圧に印加される。ブロック57は走査すべき走査電圧を制御する走査制御回路である。ブロック52はその回路の回路に必要なタイミング信号や表示用データ信号および制御信号を供給するLCDコントローラであり、ブロック53は比の回路の電力供給源である。走査電圧には順次1行ずつ増分電圧が印加され、その次の行には非増分電圧が印加される。信号電圧には選別電圧という名の商業のオン・オフに依う信号電圧が順次印加される。

【0005】この状態は部分表示が左半面の場合と、さらにその内の上半分の場合について説明する。信号より部分表示が左半面の場合について説明する。信号電圧のレベルは6.40Vである。左半面の部分表示状態に移行する前に、Xドライブには1行分の全画面素子のデライブを巻き込んだり、その後、LCDコントローラはXドライブ内部のレジスタ動作させてもクロック出力の表示データを2倍にして1選択期間内のクロック数を減らすとともに、それに合わせて1行当たり320面320面素子分しかデータが転送が無くてもXドライブの1行分の表示データを記憶する回路が内蔵されているため、Xドライブの上半分の320面のデータは先に転送されていたデータの半分が出力されて記憶し続け、Xドライブの右半分の320面のデータは表示をオフする電圧を出力し続ける。Xドライブの両端はクロック出力状態であることが、Xドライブの動作クロック周波数を減らすことにより、表示装置の消費電力は全面表示の半分に減少する。

【0006】次に部分表示が左半画面内の上半分だけ行われる場合について説明する。左半画面の幅は4,000とする。まず前述した方法で左半画面のみを表示状態とする。続いてLCOの制御ローラは部分表示制御信号PDDを“H”レベルにして下半分を非表示状態とする。PDDが“L”レベルの場合には1/4,000デューティで金走駆動電圧を走査することにより全面が表示状態となり、金走電圧を走査することにより全面が表示状態となり、PDDが“H”レベルの場合にはパネルの上半分の走査電圧だけを1/2,000デューティで走査することにより上半画面が表示状態となり下半画面が非表示状態という部分表示状態となる。1/200デューティの切り替わりはYドレイの周波数を2倍に切り替えて1/100周波数間隔でYドレイの周波数を2倍に切り替えて1/100周波数間隔となる。Yドレイの周波数を2倍に切り替えて1/100周波数間隔となる。

レジスタ7の最上位を基に、列方向部分表示を制御する。タイミング信号CIN1とCIN2を形成する。ドレーミング信号MM、LP、CLNは図4に示したようなタイミングで出力される。図6を参照すると、LP期間ごとに、たとえCLN1のクロック周波数を実数よりも小さくした、たとえBDB差分並列の表示データ数が320、表示データ転送がCLX1のP-同期の場合にはLP-同期とのCLX1の部分は40である。CLX1とData1は部分データに表示ではない時にデータ転送用クロックデータに送り出される信号である。CLX2とData2はLCコンローターデータ転送用クロックと表示データである。各々データ転送用クロックと表示データである。CLX1は信号電圧駆動型ディスプレイに送り出される信号であり、図4(1)の1は部分表示ではなくて全画面から部分表示の状態に切り変わる時刻を示す。正確に言えば、部分表示の初期化を示す。

【0032】以上がCNT1とCNT2は定常的に動作している状態である。図4右の表に示すように、この時はANDゲート9と10が開放されたままとなり、CLXとDataには各々CLX1とCLX2のデータが入力され、Dataと同じ信号分はそれぞれData1及びData2の出力端子より出力される。部分表裏面を参照すると、この時の出力信号は、Data1及びData2の出力端子より出力される。

次に、図4左の表に示すように、この時はANDゲート9と10が閉鎖された状態となる。この場合、CLX1及びCLX2の両方の出力端子より出力される。

【0033】ある1行を選択している期間、すなわち、表示データが1H期間に渡らず、ある行が選択されている間は、アドレスバースはその中にある各データの表示データに、先だてた電圧を出力するが、その行の表示データのXクロックドライバへの転送はそれより1H前の間に行われる。FRMから「P」がHレベルになった直後の1Hは1行目の表示データとして選択されないもので、その1H前に1行目の表示データとしては、表示する部分のデータとともに非表示とする部分のデータもオフ表示データへと転送する必要がある。従って、1H間後の1Hで再びオフ表示データへと転送する必要がある。

図7は、1行目の表示データを転送してからの期間のCシグナルと、1行目の表示データを転送してからの期間のCシグナルとは、1行目に同様に1行の全データの表示データを送るクロック数が必要であるので、この期間中はCNTはHレベルとされる。一方、この1H期間のOシグナルはCNTはHレベルとされ、この1H期間の間はNT2はオフ表示データを転送する間だけレベルとされる。表示データが1Hレベルに固定する。

【0034】1直後の1H27)そうしたデータ転送を繰り返しておけばドライバはデータ転送が無かった部分については先に転送されていたオフのデータを記憶し続けておけることになる。そして、それ以降は非表示部分に対応する期間のデータ転送を行なうのではなくて非表示部分をオフ表示状態とすることもできる。

【0035】以上の方法により図1Aのように表示領域と非表示領域の区分が信号電圧によって区分される方向性という部分表示ができる。本実施例によれば部分表示の広さをレジスタに設定する値に对应させて、たとえばドット単位で自由に可変できる。

〔0036〕なお、部分表示の状態において、非表示の

部分に対応するC.L.XとDataの一方を停止するだけでも部分表示が可能ではあるが、本実施例のように両方とも停止した方が低消費電力化の点で好ましい。

【0037】以上述べてきた方法は部分表示列が表示されるパネルの列頭から始まる場合の例であるが、レジスタを2系列列頭にて各々1系列に部分表示の開始列と終了列を2系列列頭から始まる場合にすれば、部分表示の列の幅の広さだけでなく位置も自由に設定できることになる。但し、この場合は表示パネルの先頭列から部分表示部の開始列列頭までの非表示部分はC.L.と動作列幅に割られておらず必要である。

【0038】（実施例2）図1Bのような部分表示装置を実現する方法の例について図6を用いて説明する。図5は表示装置に内蔵されるLCDコントローラの一部を示した回路図であり、また、図6は表示装置を制御する回路ブロックであり、行方向のスクロール動作を示すタイミング図である。表示パネルは1行1部の線順次駆動であって全部で200行あり、部がずつとスクロールして表示される場合を示し、図6においてはA、Bの部分とは各々単純マトリックス方式のアナログ表示装置の構成である。

【0039】11は8ビット程度のレジスタであり、行方向の部分表示を行うか否かの情報と部分表示される行数の情報とを7ビットで規定され、1行単位で規定でき、4行単位で規定できることにもなる。

【0040】12はカウンタを主体とする回路ブロックであり、走査開始信号SRM、走査停止信号STRM、走査有効化信号CLOCKのクロック入力Y1とY2といったタイミング信号とレジスタ信号P（図6に示す）とのAND出力である。FRM、CLY1は図6に示すように、行方向の部分表示を制御するタイミング信号である。FRM、CLY1はYとCNT3とを初値とする。FRM、CLY1は部分表示でないときに走査信号転送用クロックとなる信号である。CLY1はLCDコントローラからYドライバに送り出さる走査信号転送用クロックである。ANDゲート13は、走査信号転送用クロックであり、ANDゲート13は、FRM、CLY1とYとCNT3とのAND出力である。

【0041】通常、Yドライバは選択電圧の出力を禁ずる制御入力を持している。PDYはYドライバのそうした制御入力となる番号であり、Lレベルの時は選択電圧の出力が禁止されてYドライバの全出力が非選択電圧レベルになるものとする。

【0042】図6の t_2 は部分表示ではない状態から t_1 の状態に切り変わる時刻を示す。正確に言えば、分表示の状態に切り変わる時刻を示す。正確に言えば、 t_2 から部分表示の処理が始まる。 t_2 直後の1フレーム期間をF1、さらにその次の1フレーム期間をF2と表す。

【10043】と2以前はCNT3は常的にHレベルで、この時はANDゲート13が強いままとなっており、CLYには同じ信号がそのまま通り出さず、2以前はPDYも常定的にHレベルであり、2より前の出力は過渡電圧を出力して、全面板が過熱状態となっている。部分表示装置においては非表示の指示分である3行～20行に対するCLYが停止するとともに、Yドライブから駆動電圧が出力しないように、CNT3とPDYは図6のようなタイミングの遅延となるようにする。

【0044】部分表示状態においても、Lの期間は変更しないので、表示領域の走査電極に選択電圧を印加する時間は全画面表示時と同じである。バイアス比や選択電圧を変更する必要も無い。

[illegible]

【0046】以上の方法により図1Bのように表示領域と非表示領域の区分が任意な値によって区別される方向と部分表示領域ができる。本実施例によれば、部分表示の広さをレジスタに設定する値に対応して、1行ずつ増減し、連続起動の場合には1行単位で、複数行同時起動運動の場合は1フレーム単位の位置において、非表示の部分に対してはC-LYを停止せずに選択電圧の印加を停止させるだけで部分表示が可能であるが、本実施例のようにC-LYを内部停止した方が低消費電力化の点で好ましい。FRM内蔵のリセットを用いたV-Dライバを用いて、部分表示時のC-LYを停止する場合にも、部分表示状態から全面表示状態に移行する時に異常表示を避けるために1フレーム間は選択電圧の印加を停止することになる。好ましい。

(0048) 以上述べてきた方法は部分表示部が表示
 ネルの先頭行から始まる場合の例であるが、レジスタを
 2系列設けて各々に部分表示部の開始行と終了行に対応
 する値を設定できるようにすれば、部分表示部の行方向
 の広さがでなく位置も自由に設定できるようになる。

す。また、この場合は表示パネルの先頭行から部分表示部の
開始行前までの非表示部に対応する期間をじしYを動作
させておく必要がある。

【0049】また、実施例1と実施例2を組み合わせた、各々のレジスタが1系列の場合は図1Cのような表示が可能となり、各々のレジスタが2系列の場合は図1Dのような部分表示が可能となる。

【0050】（実施例3）次に、本発明の液晶装置を搭
載した電子機器について以下に説明する。

【0051】上述の実施例の液晶表示装置を用いて構成

される電子機器は、図9に示す表示情報出力源100
2、表示情報処理回路1002、表示駆動回路100

4. 液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成され

る。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを

含んで精成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力す

る。表示情報処理回路1002は、クロック発生回路1

・板付戻り回路 相置開回路 ローチンシン回路、ガ

名 異歩駆動回路1004は 非変調駆動回路及びデューティ補正回路あるいはクランプ回路等を含むことができ

液品パネル1006を
—試の各回路に電

力を供給する。

【0002】に示す液晶アロジエクタ、図11に示すマルチメディア

ワークスデーション (EWS)、図12に示す

ビューファインダ型又はモニタ直視型のビデオテー

シヨウ装置、POS端末、タッチパネルを備えた装置な

【0053】図10は、投写型表示装置の要部を示す概略図である。

クロイックミラー、15、16、17は反射ミラー、18は透射ミラーである。図中、10は光源、13、14は検出器を示す。

8. 19. 20はリレーボックス、22. 23. 24はハイ
品ライトバルブ、25はクロスダイクロイックアリス

ム、26は複素レンズを米1。光源10はメタルハロゲン

ラー13は、光源10からの白色光束のうちの赤色光を

透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー17で反射されて、赤色光用レンズ18を

液晶ライトバルブ22に入射される。一方、ダイクロミックミラー13で反射された色光のうち緑色光は緑色光バルブ22に入射される。一方、ダイクロミックミラー13で反射された色光のうち赤色光は赤色光バルブ22に入射される。一方、ダイクロミックミラー13で反射された色光のうち青色光は青色光バルブ22に入射される。

反射のダイクロイックミラー14によって反射され、

色光用液晶ライトバルブ23に入射される。一方、黄色光は第2のダイクロミックミラー14も透過する。黄色光に対しては、赤い光路による光損失を防ぐため、入射レンズ18、リレーレンズ19、出射レンズ20を含むリレーレンズ系からなる導光手段21が設けられ、これをして黄色光が青色光用液晶ライトバルブ24に入射される。各ライトバルブにより変調された3つの色光はクロスタイクロイックアプリズム25に入射する。このアプリズムは4つの直角アプリズムが組み合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投写光学系である投影レンズ26によってスクリーン27上に投影され、画面が拡大されて表示される。

【0054】図11に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0055】図12に示すパーソナルコンピュータ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアアープ1318、1316及びフィルムキャリアアープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

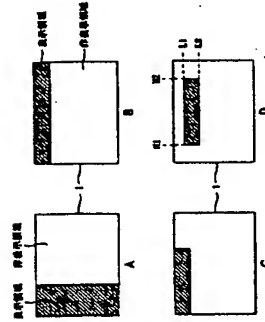
【0056】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図9に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304aに形成されない回路は、液晶表示基板の外付け回路とされ、図12の場合には回路基板1308に搭載できる。

【0057】図12はベージャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電圧降下用の部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図13に示すように、液晶表示基板1304を構成する2枚の透明基板130

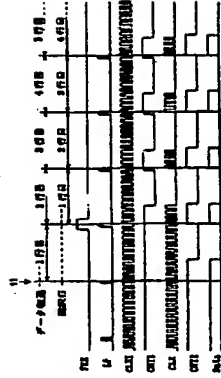
FRM ... 走査開始信号
LP ... データラッチ信号
CLX1, CLY ... データ転送用クロック
CLY1, CLY ... 走査信号転送用クロック
Data1, Data ... 表示データ
CNT1~CNT3, PDY, VCT ... 部分表示用制御信号

RV1 ... 可変抵抗
R1, R2, R3a, R3b, R4, R5 ... 抵抗
S2a, S2b ... スイッチ
Q1 ... ハイボルト・トランジスタ
OP1~OP4 ... オペアンプ
V0~V5 ... 液晶駆動電圧

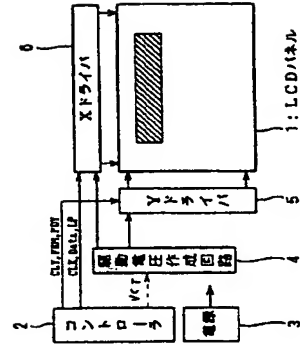
【図1】



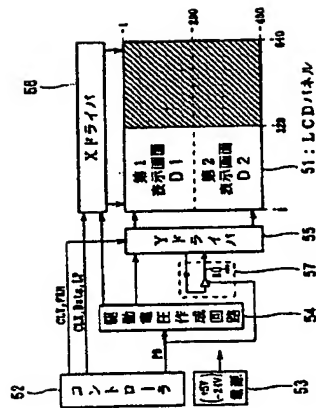
【図4】



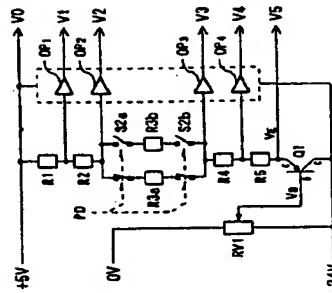
【図2】



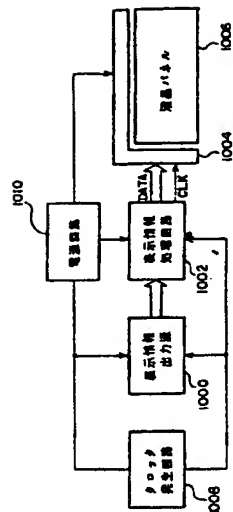
【図7】



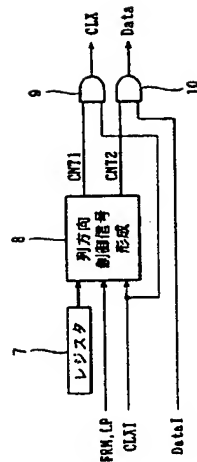
【図8】



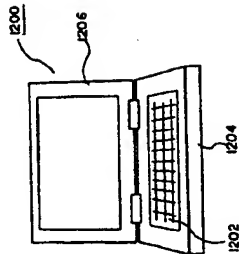
【図9】



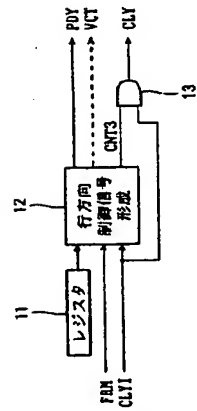
【図3】



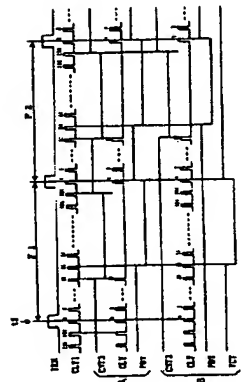
【図11】



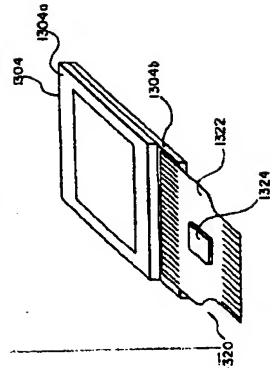
【図5】



【図6】



【図13】



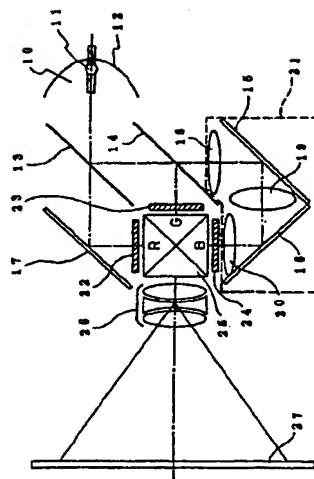
フロントページの続き

(5)Int.Cl.⁶
G09G 3/20

識別記号
680

P1
G09G 3/20

【図10】



【図12】

